

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-095256
(43)Date of publication of application : 09.04.1999

(51)Int.Cl. G02F 1/136
G09F 9/30
H01L 29/786

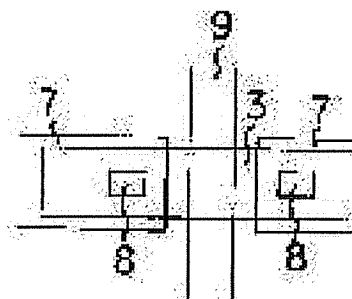
(21)Application number : 09-259719 (71) SHARP CORP Applicant :
(22)Date of filing : 25.09.1997 (72)Inventor : SHIBUYA TSUKASA

(54) ACTIVE MATRIX SUBSTRATE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a low cost and high performance TFT(thin film transistor) by enabling elimination of a source wiring forming process.

SOLUTION: A metallic film is formed and a gate wiring 7, source wiring 9, a gate electrode, a source electrode, and a drain electrode are formed of a same material simultaneously. The gate wiring 7 is formed to be discontinuous with the source wiring 9 at their interconnecting part, but can be brought into a conductive state by being electrically connected with a bridge wiring via contact holes 8. Moreover, since a gate insulating film is formed between the gate wiring 7 and the source wiring 9, it is possible to keep an insulating state between them.



(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平11-95256

(43)公開日 平成11年(1999)4月9日

(51)Int.Cl. ⁶	識別記号	F I
G 0 2 F 1/136	5 0 0	G 0 2 F 1/136 5 0 0
G 0 9 F 9/30	3 3 8	G 0 9 F 9/30 3 3 8
H 0 1 L 29/786		H 0 1 L 29/78 6 1 2 C

審査請求 未請求 請求項の数2 O L (全 5 頁)

(21)出願番号 特願平9-259719
(22)出願日 平成9年(1997)9月25日

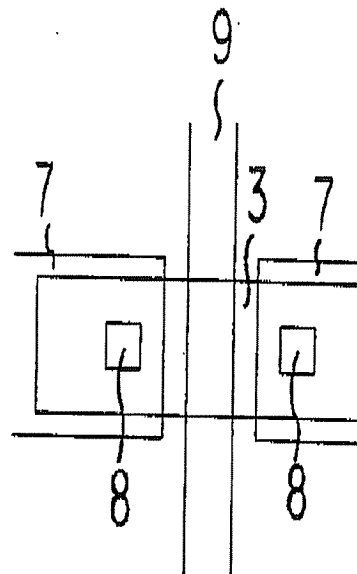
(71)出願人 000005049
シャープ株式会社
大阪府大阪市阿倍野区長池町22番22号
(72)発明者 渋谷 司
大阪府大阪市阿倍野区長池町22番22号 シ
ャープ株式会社内
(74)代理人 弁理士 梅田 勝

(54)【発明の名称】 アクティブマトリクス基板

(57)【要約】

【課題】 ソース配線形成工程の削減を可能とし、低コストで高性能のTFTを提供する。

【解決手段】 金属膜を形成してゲート配線7およびソース配線9、並びにゲート電極、ソース電極およびドレイン電極を同じ材料で同時に形成する。ゲート配線7はソース配線9との交差部で不連続に形成しているが、コンタクトホール8を介して架橋配線3と電氣的に接続することで導通状態とすることができる。また、ゲート配線7とソース配線9とは、その間にゲート絶縁膜を形成しているため絶縁状態を保つことができる。



【特許請求の範囲】

【請求項１】 絶縁性基板上に、薄膜トランジスタと、ゲート配線と、ソース配線と、前記薄膜トランジスタの下層に設けられた遮光膜とを有するアクティブマトリクス基板において、前記ゲート配線と前記ソース配線とが同一の材料で形成されるとともに、前記ゲート配線または前記ソース配線が前記ゲート配線と前記ソース配線との交差部で不連続に形成され、前記交差部に前記遮光膜と同一の材料で架橋配線が形成されていることを特徴とするアクティブマトリクス基板。

【請求項２】 絶縁性基板上に、薄膜トランジスタと、ゲート配線と、ソース配線とを有するアクティブマトリクス基板において、前記ゲート配線と前記ソース配線とが同一の材料で形成されるとともに、前記ゲート配線または前記ソース配線が前記ゲート配線と前記ソース配線との交差部で不連続に形成され、前記交差部に前記薄膜トランジスタを構成する半導体膜と同一の材料で架橋配線が形成されていることを特徴とするアクティブマトリクス基板。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】 本発明は、アクティブマトリクス型液晶表示装置等に利用されるアクティブマトリクス基板に関し、特に絶縁性基板上に薄膜トランジスタ（ＴＦＴ）を形成したアクティブマトリクス基板に関するものである。

【０００２】

【従来の技術】 ガラス等の絶縁性基板上にＴＦＴを有する半導体装置としては、これらのＴＦＴを画素スイッチング素子に用いるアクティブマトリクス型液晶表示装置またはイメージセンサー等が知られている。

【０００３】 これらの装置に用いられるＴＦＴには、薄膜状のシリコン半導体層として非晶質シリコン半導体（ $a-Si$ ）または結晶性を有するシリコン半導体（ $p-Si$ ）を用いるのが一般的である。

【０００４】 $a-Si$ を用いた逆スタガ型ＴＦＴはプロセス温度が低く、製造工程も比較的簡単で量産性に富むため、最も一般的に用いられている。しかし、導電性等の物性が $p-Si$ に比べて劣っている。したがって、より高速特性を得るために、 $p-Si$ からなるＴＦＴの製造方法の確立が強く求められている。

【０００５】 $p-Si$ からなるＴＦＴでは、より高速特性を得るため、配線に Al または Al 合金を用いることで配線抵抗を低くすることが望まれる。しかしながら、 $p-Si$ 薄膜を形成する工程または不純物を活性化する工程で $400\sim600^{\circ}C$ 程度の熱処理が必要となるために、 $a-Si$ からなるＴＦＴのようにゲート電極が最下層にくる逆スタガ構造とすると配線材料に Al を用いることが困難となる。このため、 $p-Si$ からなるＴＦＴ

においては、トップゲート構造をすることが一般的である。しかし、トップゲート構造のＴＦＴは、工程が増加して複雑になることから工程の削減が望まれる。

【０００６】 一方、このようなＴＦＴを用いたアクティブマトリクス型液晶表示装置は、プロジェクター等に応用した場合、強い光がＴＦＴに入射することによって半導体層のオフ電流の増加またはしきい値電圧の変動等、特性の変化または信頼性の低下といった新たな問題を発生させる。このため、ＴＦＴへの光の入射を防ぐための遮光膜をＴＦＴのチャンネルの下層に形成する方法がよく用いられている。

【０００７】

【発明が解決しようとする課題】 前述のようなＴＦＴを用いたアクティブマトリクス型液晶表示装置を製造しようとするれば、遮光膜とゲート配線とソース配線とは別々の工程で形成することとなり、それぞれの材料のデポ工程、フォトリソ工程およびエッチング工程を要するため工程が多くなる。

【０００８】 本発明は、以上のような従来の問題点を鑑みなされたものであって、ソース配線形成工程の削減を可能とし、低コストで高性能のＴＦＴを提供することを目的としている。

【０００９】

【課題を解決するための手段】 前述した目的を達成するために、本発明の請求項１記載のアクティブマトリクス基板は、絶縁性基板上に、薄膜トランジスタと、ゲート配線と、ソース配線と、前記薄膜トランジスタの下層に設けられた遮光膜とを有するアクティブマトリクス基板において、前記ゲート配線と前記ソース配線とが同一の材料で形成されるとともに、前記ゲート配線または前記ソース配線が前記ゲート配線と前記ソース配線との交差部で不連続に形成され、前記交差部に前記遮光膜と同一の材料で架橋配線が形成されていることを特徴としている。

【００１０】 請求項２記載のアクティブマトリクス基板は、絶縁性基板上に、薄膜トランジスタと、ゲート配線と、ソース配線とを有するアクティブマトリクス基板において、前記ゲート配線と前記ソース配線とが同一の材料で形成されるとともに、前記ゲート配線または前記ソース配線が前記ゲート配線と前記ソース配線との交差部で不連続に形成され、前記交差部に前記薄膜トランジスタを構成する半導体膜と同一の材料で架橋配線が形成されていることを特徴としている。

【００１１】 本発明のアクティブマトリクス基板によれば、ゲート配線とソース配線とが同一の材料で形成されるとともに、ゲート配線またはソース配線がゲート配線とソース配線との交差部で不連続に形成され、前記交差部に遮光膜と同一の材料で架橋配線が形成されていることにより、ゲート配線とソース配線とを同じ工程で同時に形成することができるとともに、遮光膜と架橋配線と

を同じ工程で同時に形成することができる。

【００１２】また、ゲート配線とソース配線とが同一の材料で形成されるとともに、ゲート配線またはソース配線がゲート配線とソース配線との交差部で不連続に形成され、前記交差部に薄膜トランジスタを構成する半導体膜と同一の材料で架橋配線が形成されていることにより、ゲート配線とソース配線とを同じ工程で同時に形成することができるとともに、半導体膜と架橋配線とを同じ工程で同時に形成することができる。

【００１３】

【発明の実施の形態】図１乃至図６を用いて、本発明の実施の形態について説明する。

【００１４】（実施の形態１）図１はＴＦＴの断面を示す工程図、図２は図１に係わるゲート配線とソース配線との交差部の断面を示す工程図、図３は図１に係わるゲート配線とソース配線との交差部を示す平面図である。

【００１５】図１（ａ）および図２（ａ）に示すように、例えば外形サイズが３００mm×３００mm程度のガラスからなる絶縁性基板１の表面を洗浄した後、例えばＴa等の金属薄膜をスパッタリング法を用いて厚さ１００nm程度に堆積させ、フォトリソグラフィ、エッチングの工程を行って、金属薄膜を所定の遮光膜２の形状に加工する。遮光膜２は、図１（ａ）に示すように本来の目的であるＴＦＴの下層部となる部分のみに形成するのではなく、図２（ａ）に示すようにゲート配線とソース配線との交差部となる部分にも形成して架橋配線３とする。

【００１６】次に、絶縁性薄膜４として酸化シリコン膜（SiO₂）または窒化シリコン膜（SiN）を化学的气相成長法（CVD法）またはスパッタリング法を用いて厚さ１００～５００nm程度に堆積させる。そして、絶縁性薄膜４上に半導体膜としてa-Si₅をCVD法を用いて厚さ５０～１００nm程度に堆積させ、フォトリソグラフィ、エッチングの工程を行ってa-Si₅を所定の形状に形成し、周知の技術を用いてa-Si₅を結晶化する。

【００１７】次に、図１（ｂ）および図２（ｂ）に示すように、ゲート絶縁膜６を堆積させ、フォトリソグラフィ、エッチングの工程を行って所定の形状に形成する。このとき、図２（ｂ）に示すように、ゲート絶縁膜６にゲート配線７と架橋配線３とを接続するためのコンタクトホール８を形成する。そして、周知の技術を用いてa-Si₅に不純物イオンの注入を行い、レーザー光等によって活性化させる。

【００１８】さらに、図２（ｂ）に示すように、ゲート配線７と架橋配線３とを接続するためのコンタクトホール８を絶縁膜薄膜４に形成する。そして、金属膜を形成してゲート配線７およびソース配線９、並びに図１（ｂ）に示すゲート電極１０、ソース電極１１およびドレイン電極１２を同じ材料で同時に形成する。

【００１９】図２（ｂ）および図３に示すように、ゲート配線７はソース配線９との交差部で不連続に形成しているが、コンタクトホール８を介して架橋配線３と電気的に接続することで導通状態とすることができる。また、ゲート配線７とソース配線９とは、その間にゲート絶縁膜６を形成しているため絶縁状態を保つことができる。本実施の形態においてはゲート配線７を不連続としたが、ソース配線９を不連続としてもかまわない。

【００２０】その後、図１（ｃ）および図２（ｃ）に示すように、周知の技術を用いて層間絶縁膜１３を形成し、図１（ｃ）に示すようにコンタクトホール１４および画素電極１５を形成する。

【００２１】（実施の形態２）図４は他のＴＦＴの断面を示す工程図、図５は図４に係わるゲート配線とソース配線との交差部の断面を示す工程図、図６は図４に係わるゲート配線とソース配線との交差部を示す平面図である。

【００２２】図４（ａ）および図５（ａ）に示すように、例えば外形サイズが３００mm×３００mm程度のガラスからなる絶縁性基板１の表面を洗浄した後、絶縁性薄膜４としてSiO₂またはSiNをCVD法またはスパッタリング法を用いて厚さ１００～５００nm程度に堆積させる。

【００２３】そして、絶縁性薄膜４上に半導体膜としてa-Si₅をCVD法を用いて厚さ５０～１００nm程度に堆積させ、フォトリソグラフィ、エッチングの工程を行ってa-Si₅を所定の形状に形成し、周知の技術を用いてa-Si₅を結晶化する。a-Si₅は、図４（ａ）に示すように本来の目的であるＴＦＴ領域のみに形成するのではなく、図５（ａ）に示すようにゲート配線とソース配線との交差部となる部分にも形成して架橋配線３とする。

【００２４】次に、図４（ｂ）および図５（ｂ）に示すように、ゲート絶縁膜６を堆積させ、フォトリソグラフィ、エッチングの工程を行って所定の形状に形成する。このとき、ゲート絶縁膜６にゲート配線７と架橋配線３とを接続するためのコンタクトホール８を形成する。

【００２５】そして、周知の技術を用いてa-Si₅に不純物イオンの注入を行い、レーザー光等によって活性化させる。このとき、架橋配線３を構成するa-Si₅にも不純物イオンの注入を行い、レーザー光等によって活性化させる。

【００２６】さらに、金属膜を形成してゲート配線７およびソース配線９、並びにゲート電極１０、ソース電極１１およびドレイン電極１２を同じ材料で同時に形成する。

【００２７】図５（ｂ）および図６に示すように、ゲート配線７はソース配線９との交差部で不連続に形成しているが、コンタクトホール８を介して架橋配線３と電気

的に接続することで導通状態とすることができる。また、ゲート配線7とソース配線9とは、その間にゲート絶縁膜6を形成しているため絶縁状態を保つことができる。本実施の形態においてはゲート配線7を不連続としたが、ソース配線9を不連続としてもかまわない。

【0028】その後、図4(c)および図5(c)に示すように、周知の技術を用いて層間絶縁膜13を形成し、図4(c)に示すようにコンタクトホール14および画素電極15を形成する。

【0029】

【発明の効果】以上の説明のように、本発明のアクティブマトリクス基板によれば、ゲート配線とソース配線とが同一の材料で形成されるときに、ゲート配線またはソース配線がゲート配線とソース配線との交差部で不連続に形成され、前記交差部に遮光膜と同一の材料で架橋配線が形成されていることにより、ゲート配線とソース配線とを同じ工程で同時に形成することができるとともに、遮光膜と架橋配線とを同じ工程で同時に形成することができるため、製造工程を簡略化して低コストでアクティブマトリクス基板を得ることができる。

【0030】また、ゲート配線とソース配線とが同一の材料で形成されるときに、ゲート配線またはソース配線がゲート配線とソース配線との交差部で不連続に形成され、前記交差部に薄膜トランジスタを構成する半導体膜と同一の材料で架橋配線が形成されていることにより、ゲート配線とソース配線とを同じ工程で同時に形成することができるとともに、半導体膜と架橋配線とを同じ工程で同時に形成することができるため、製造工程を簡略化して低コストでアクティブマトリクス基板を得ることができる。

【図面の簡単な説明】

【図1】(a)～(c)はTFTの断面を示す工程図である。

【図2】(a)～(c)は図1に係わるゲート配線とソース配線との交差部の断面を示す工程図である。

【図3】図1に係わるゲート配線とソース配線との交差部を示す平面図である。

【図4】(a)～(c)は他のTFTの断面を示す工程図である。

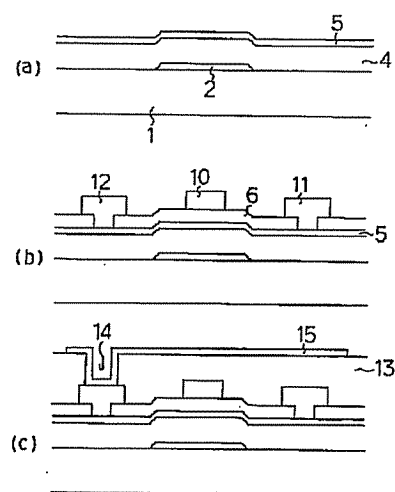
【図5】(a)～(c)は図4に係わるゲート配線とソース配線との交差部の断面を示す工程図である。

【図6】図4に係わるゲート配線とソース配線との交差部を示す平面図である。

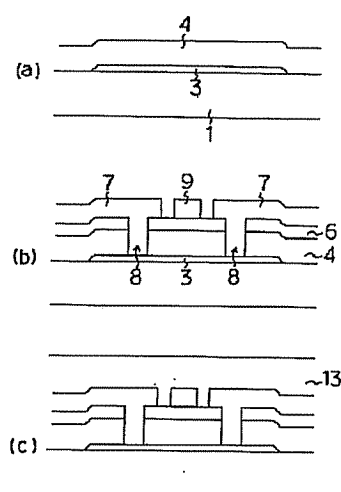
【符号の説明】

- 1 絶縁性基板
- 2 遮光膜
- 3 架橋配線
- 4 絶縁性薄膜
- 5 a-Si
- 6 ゲート絶縁膜
- 7 ゲート配線
- 8 コンタクトホール
- 9 ソース配線
- 10 ゲート電極
- 11 ソース電極
- 12 ドレイン電極
- 13 層間絶縁膜
- 14 コンタクトホール
- 15 画素電極

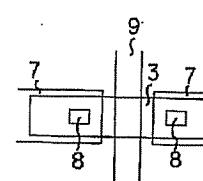
【図1】



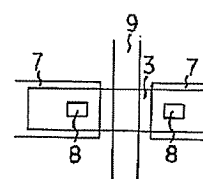
【図2】



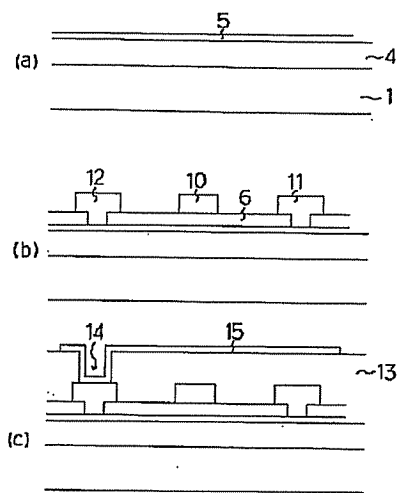
【図3】



【図6】



【図 4】



【図 5】

